

BEST AVAILABLE COPY

Korean patent application No. 1994-0011612

Korean publication No. 1994-0026614

Title: ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE

Abstract

In an active matrix liquid crystal display device, each pixel electrode is connected to a first drain bus line through a thin film transistor adjacent to a crossing of the first drain bus line and a gate bus line. The pixel electrode is disposed between the first drain bus line and a second drain bus line. A lower capacitor electrode extends from the gate bus line adjacent to the second drain bus line. An upper capacitor electrode extends along the pixel electrode to overlap the lower capacitor electrode with an insulating layer interposed therebetween. The upper capacitor and a source electrode of the thin film transistor are formed as one body. Accordingly, the upper and lower capacitor electrodes constitute a compensation capacitor connected to a gate-source capacitor of the thin film transistor. Variation of the gate-source capacitor caused by misalignment between the gate electrode and the source electrode of the thin film transistor is compensated by an inverse variation of the compensation capacitor without reduction of aperture ratio.

공개특허특1994-0026614

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl. 6
G02F 1/136(11) 공개번호 특1994-0026614
(43) 공개일자 1994년12월09일(21) 출원번호 특1994-0011612
(22) 출원일자 1994년05월25일(30) 우선권주장 93-1222381993년05월25일일본(JP)
(71) 출원인 닛본 덴끼 가부시끼가이샤, 세끼모토 다다히로
일본 도오코도 미나토꾸 시바 5조메 7방 1고
(72) 발명자 스게가와 오사무
일본 도오코도 미나토꾸 시바 5조메 7방 1고 닛본 덴끼 가부시끼가이샤 나이
이하라 히로후미
일본 도오코도 미나토꾸 시바 5조메 7방 1고 닛본 덴끼 가부시끼가이샤 나이
(74) 대리인 이병호
최달용

심사청구 : 있음

(54) 액티브 매트릭스 액정 표시 장치

요약

액티브 매트릭스 액정 표시 패널에 있어서, 각각의 픽셀전극은 제1드레인 버스 라인과 직교 게이트 버스 라인 사이의 교차점에 인접하여 형성된 박막 트랜지스터를 통해 제1드레인버스 라인에 접속된다. 보정 캐패시터 하부 전극이, 제1 및 제2드레인 버스 라인사이에 픽셀 전극이 위치하게 되는 방식으로 픽셀 전극에 인접한 제2드레인 버스 라인에 가까운 위치에서 게이트 버스 라인으로부터 연장된다. 보정 캐패시터 상부 전극은 절연층을 통해 보정 캐패시터 하부 전극 위를 오버랩하기 위해 픽셀 전극을 따라 연장되어 설치되도록 박막 트랜지스터의 소스 전극과 일체로 형성된다. 따라서, 보정 캐패시터가 상기 보정 캐패시터 하부 및 상부 전극으로 형성되며 박막 트랜지스터의 게이트-소스 용량에 접속된다. 박막 트랜지스터의 게이트 전극과 소스 전극 사이의 얼라인먼트에서의 위치 어긋남으로 초래된 게이트-소스 용량의 변화는 픽셀의 개구를 감소시키지 않고 관련된 보정 캐패시터 용량의 역변화에 의해 보상될 수 있다.

대표도

도1

명세서

[발명의 명칭]

액티브 매트릭스 액정 표시 장치

[도면의 간단한 설명]

제1도는 박막 트랜지스터의 게이트-소스 용량을 균일화하도록 구성된 종래의 액티브 매트릭스 액정 표시 패널의 일예의 부분 단면도, 제2도는 박막 트랜지스터의 게이트-소스 용량을 균일화하도록 구성된 종래의 액티브 매트릭스 액정 표시 패널의 다른 예의 부분 레이아웃 패널도, 제3A도는 박막 트랜지스터의 게이트-소스 용량을 균일화하기 위한 보정 캐패시터를 가진, 본 발명에 따른 액티브 매트릭스 액정 디스플레이 패널의 일실시예의 부분 레이아웃 패턴도, 제3B도는 제3A도에서 라인 A-A를 따라 취해진 부분 단면도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57)청구의 범위

청구항1

액티브 매트릭스 액정 표시 패널에 있어서, 절연기판, 상기 절연 기판상에 형성된 한 게이트 버스 라인, 상기 게이트 버스 라인의 한 측면으로부터 분기되어 설치되도록 상기 절연 기판상에 형성된 한 게이트 전극, 상기 게이트 버스 라인과 상기 게이트 전극을 커버하고 있는 절연막, 상기 게이트 전극위의 상기 절연 막상에 형성된 한 반도체 박막, 상기 절연막상에서 서로 분리되어 형성되며, 상기 게이트 버스 라인과 교차하도록 설치되므로써, 그 사이에 픽셀 영역을 형성하게 되는 제1 및 제2드레인 버스 라인, 상기 반도체 박막의 한 단부 부분을 오버라잉하기 위해 상기 제1드레인 버스 라인으로부터 연장되게 설치되도록 상기 절연막상에 형성된 한 드레인 전극, 상기 반도체 박막의 다른 단부를 오버라잉하도록 연장되어 설치되도록 상기 절연막상에 형성되는 한 소스 전극을 포함하으로써, 한 박막 트랜지스터가 상기 게이트 전극, 반도체 박막, 드레인 전극 및 소스 전극으로 형성되며, 또한, 상기 게이트 버스 라인과 제1 및 제2드레인 버스라인에 의해 한정된 한 영역에서 상기 절연막상에 형성되며, 상기 소스 전극에 전기적으로 접속된 한 픽셀 전극, 상기 제2드레인 버스 라인을 따르지만 그것과 분리되어, 상기 게이트 버스 라인의 한 측면으로부터 분기되어 설치되도록 상기 절연 기판 및 절연막 사이에 형성된 한 보정 캐패시터 하부 전극, 및 상기 게이트 버스 라인의 한 방향으로 상기 픽셀 전극의 한 측면을 따라 상기 소스 전극으로 연장되어 설치되도록 상기 절연막상에 형성되므로써, 상기 제2드레인 버스 라인의 근처에서 상기 보정 캐패시터 하부 전극을 오버라잉하는 한 보정 캐패시터 상부 전극을 포함하으로써, 한 보정 캐패시터가 상기 보정 캐패시터 하부 전극, 절연막, 및 보정 캐패시터 상부전극으로 형성되며, 그에 따라, 상기 게이트 전극과 소스 전극 사이의 얼라인먼트에 있어서의 위치 어긋남에 의해 초래된 한 박막 트랜지스터의 게이트-소스 용량에서의 변화가 픽셀의 개구율을 감소시키지 않고 상기 보정 캐패시터의 용량의 역변화에 의해 보상될 수 있게 되는 것을 특징으로 하는 액티브 매트릭스 액정 표시 패널.

청구항2

제1항에 있어서, 상기 게이트 버스 라인, 상기 게이트 전극, 및 상기 보정 캐패시터 하부 전극이 상기 절연 기판상에 설치된 단일 패턴의 금속층으로 형성되고, 상기 제1 및 제2드레인 버스라인, 상기 드레인 전극 및 상기 보정 캐패시터 상부 전극이 상기 절연막상에 설치된 다른 단일 패턴 금속층으로 형성되는 것을 특징으로 하는 액티브 매트릭스 액정 표시 패널.

청구항3

제2항에 있어서, 상기 보정 캐패시터 상부 전극과 상기 보정 캐패시터 하부 전극 사이의 오버랩된 폭이 사실상 상기 박막 트랜지스터로 형성된 채널 폭의 1/2에 거의 일치하는 것을 특징으로 하는 액티브 매트릭스 액정 표시 패널.

청구항4

액티브 매트릭스 액정 장치에 있어서, 절연기판과 서로 평행하게 분리되어 상기 절연기판의 내부 표면상에 형성되며 제1측면으로부터 수직으로 분기되어 설치되도록 일정한 간격에서 일체로 형성된 다수의 게이트 전극을 가진 다수의 게이트 버스 라인, 상기 절연 기판의 상기 내부 표면상에서 상기 게이트 버스 라인과 상기 게이트 전극을 교차하도록 형성되는 절연막, 각각 대응하는 한 게이트 전극위에 상기 절연막상에 형성된 다수의 반도체 박막, 서로 평행하게 분리되어 상기 절연막상에 형성되며, 상기 게이트 버스 라인과 직교하도록 대응하는 게이트 전극을 따라 그것으로부터 분리되어 연장되므로써, 각각 한 개의 픽셀영역이 한쌍의 인접한 드레인 버스 라인과 한쌍의 인접한 게이트 버스 라인사이에 한정되며, 일정한 간격으로 대응하는 반도체 박막의 제1측면 부분을 부분적으로 오버랩하도록 연장되도록 일체로 형성된 다수의 드레인 전극을 가진 다수의 드레인 버스 라인, 상기 제1측면 부분에 대항하는 대응 반도체 박막의 제2측면 부분을 부분적으로 오버랩하도록 상기 절연막상에 형성되며, 그에 따라 한 박막 트랜지스터가 각각의 반도체 박막, 이 반도체 박막 아래에 위치한 상기 게이트 전극, 상기 반도체 박막 위에 위치한 상기 드레인 전극 및 소스전극으로 형성되는 다수의 소스 전극, 각각 대응하는 픽셀 영역안의 상기 절연막 상에 형성되고 대응하는 소스 전극에 전기적으로 접속된 다수의 픽셀전극, 상기 대향 플레이트의 내부 표면상에 형성된 대향 전극을 가진 대향 플레이트, 상기 절연기판의 상기 내부 표면과 상기 대향 플레이트의 상기 내부 표면사이에 삽입된 액정 물질, 상기 대응 픽셀 전극이 상기 대응 소스 전극에 접속되는 측면에 대항하는 대응 픽셀 전극의 한 측면에서 대응 게이트 버스 라인의 상기 제1측면으로부터 분기되어 설치되도록 대응게이트 버스 라인과 일체로 형성된 다수의 보정 캐패시터 하부 전극, 및대응하는 보정 캐패시터 하부 전극 위에서 오버랩하도록 연장되어 설치되도록 대응 소스 전극과 일체로 형성되며 그와 전기적으로 접속되므로써, 상기 절연막이 각각의 보정 캐패시터 상부 전극과 상기 대응 보정 캐패시터 하부 전극 사이에 삽입되게 되는 다수의 보정 캐패시터 상부 전극을 포함하는 것을 특징으로 하는 액티브 매트릭스 액정 장치.

청구항5

제4항에 있어서, 상기 대응하는 보정 캐패시터 하부 전극위에 상기 보정 캐패시터 상부 전극을 형성하기 위해, 대응 박막 트랜지스터를 통해 상기 대응 픽셀 전극이 접속되는 대응 게이트 버스 라인에 인접한 상기 대응 픽셀 전극

의 한 측면을 따라, 상기 소스 전극이 상기 대응 픽셀 전극에 접속되는 위치로부터 상기 각각의 소스 전극이 연장되는 것을 특징으로 하는 액티브 매트릭스 액정 장치.

청구항6

제4항에 있어서, 상기 게이트 버스 라인, 상기 게이트 전극 및 상기 보정 캐패시터 하부 전극이 상기 절연기판상에 설치된 단일 패턴 금속층으로 형성되고, 상기 드레인 버스 라인, 상기 드레인 전극, 및 상기 보정 캐패시터 상부 전극이 상기 절연막상에 설치된 다른 단일 패턴 금속층으로 형성되는 것을 특징으로 하는 액티브 매트릭스 액정 장치.

청구항7

제6항에 있어서, 한 픽셀 전극에 접속된 보정 캐패시터를 구성하는 상기 보정 캐패시터 상부 전극과 상기 보정 캐패시터 하부 전극 사이의 오버랩된 폭이 동일한 한 픽셀 전극에 접속된 박막 트랜지스터로 형성된 채널폭의 1/2에 거의 일치하는 것을 특징으로 하는 액티브 매트릭스 액정 장치.

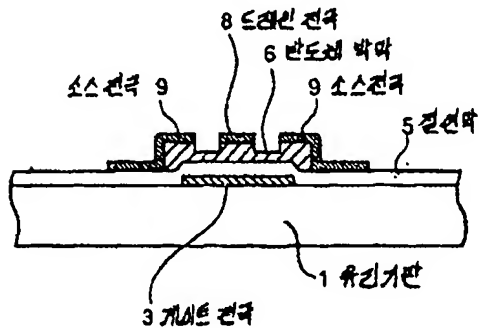
청구항8

액티브 매트릭스 액정 장치에 있어서, 매트릭스 형태로 배열되며 각각 하나의 박막 트랜지스터와 픽셀 전극을 가진 다수의 픽셀을 포함하며, 상기 박막 트랜지스터는 반도체 박막, 상기 게이트 전극 및 상기 반도체 박막사이에 삽입되는 게이트 절연막, 상기 반도체 박막의 제1부분과 접촉하는 제1전극, 및 상기 반도체 박막의 제2부분과 접촉하여 형성되며 상기 픽셀 전극에 전기적으로 접속된 제2전극을 갖고, 상기 각각의 픽셀은, 보정 캐패시터를 형성하기 위해 절연막이 삽입된, 상기 픽셀 전극의 일부분과 접촉하여 형성된 제1보정 컨덕터, 및 상기 게이트 전극에 전기적으로 접속되며 상기 제1보정 컨덕터의 일부분을 오버랩하는 제2보정 컨덕터를 포함하는 것을 특징으로 하는 액티브 매트릭스 액정 장치.

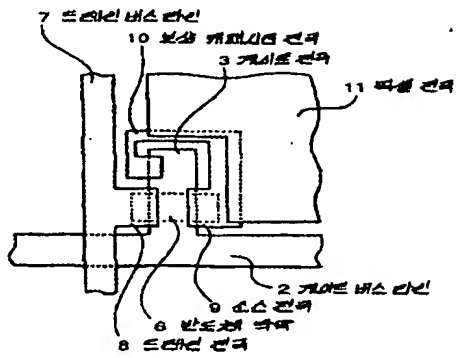
※ 참고사항 : 최초출원 내용에 의하여 공개되는 것임.

도면

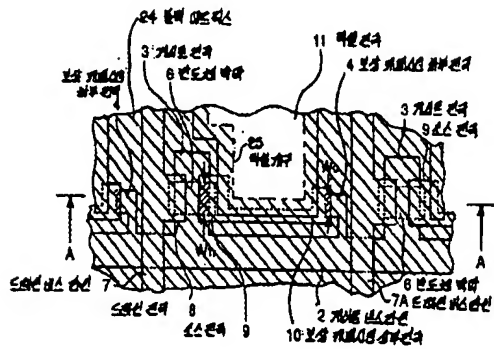
도면1



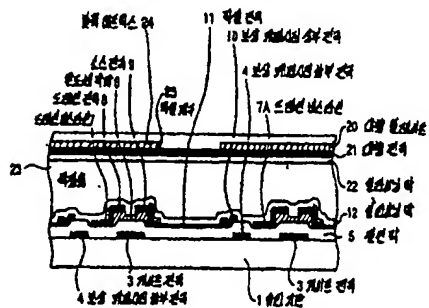
도면2



도면3a



도면3b



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.